

3-03/22-SY

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP55078540
Publication date: 1980-06-13
Inventor(s): HIROBE YOSHIMICHI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP55078540
Application Number: JP19780151039 19781208
Priority Number(s):
IPC Classification: H01L21/76; H01L21/94
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve a pattern dimensional accuracy of an oxidized film and also to improve flatness by a method wherein plural slender grooves are formed adjacently on a semiconductor substrate with substrate zones between grooves converted to oxidized films and the oxidized films buried in the grooves.

CONSTITUTION:A mask 10 is provided on a silicon substrate 15, isolation domains of various widths 12, 13, 14 are formed through etching, and a groove 16 and a silicon remanet 20 are formed. Next, the mask 10 is removed, the groove 16 is covered thoroughly with an oxidized film 17, and the silicon remanet 20 is also converted thoroughly to an oxidized film. The isolation domain 14 with large width is formed with plural grooves. In the case of bipolar IC, the width of the groove 16 and that of the silicon remanet must be about 1.1 times or below and 0.9 times or below respectively of the thickness of a desired oxidized film 17'. A flatness of the surface after formation of the oxidized film is improved thereby, and not only a disconnection of the electrode wiring hardly occurs but also a dimensional accuracy at the time of mask pattern transfer after formation of the oxidized film is improved.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55-78540

⑫ Int. Cl.³
H 01 L 21/76
21/94

識別記号

庁内整理番号
6426-5F
7739-5F

⑬ 公開 昭和55年(1980)6月13日

発明の数 2
審査請求 未請求

(全 5 頁)

⑭ 半導体装置の製造方法

社日立製作所武蔵工場内

⑮ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑯ 特 願 昭53-151039

⑰ 出 願 昭53(1978)12月8日

⑱ 発 明 者 広部嘉道

⑲ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会

明 記 号

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基板の一主面の所定箇所に複数の電極を互いに隔離して形成し、上記電極に位置する上記基板を少なくとも上記電極の長さまで全て酸化すると共に上記電極内部を酸化物で埋めることを特徴とする半導体装置の製造方法。
2. 上記電極の幅と間隔に位置する基板の幅とが約1.1:0.9になるように上記電極を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。
3. 上記半導体基板の一主面はエピタキシャル層から成り、上記電極は該エピタキシャル層の厚さ以上の厚さを有するように形成されることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。
4. (a) 半導体基板を用意する工程、
(b) 上記基板の一主面に絶縁膜を形成する工程、

(1)

- (c) 上記絶縁膜を選択的に除去する工程、
(d) 上記絶縁膜をマスクとして上記基板の一主面に厚さ、同一の長さ、幅、厚さを有する複数の電極を互いに並行して形成する工程、
(e) 上記基板を酸化して上記電極の間隔に位置する基板を酸化すると共に、上記電極内部を酸化物膜によつて埋める工程、
とから成ることを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は、半導体装置回路における酸化膜による素子間分離(アイソレーション)法に関するものであり、MOS系LSI及びバイポーラ系LSI両方に有用であり、特に厚い酸化膜を必要とするバイポーラ系LSIのアイソレーション形成法として有効である。

従来知られているアイソレーション法として代表的な方法に、アイソプレーナ法と呼ばれる方法がある。アイソプレーナ法は、第1図(a)~(c)に示

(2)

すように、シリコン基板1上に酸化膜2とシリコン酸化膜3を形成し、感光性樹脂膜4のパターンを用いて、上記シリコン酸化膜3及び酸化膜2を選択的にエッチングし、窓部5を形成する(第1図(a))。しかる後上記窓部5に露出するシリコン表面6を、フッ素とシロウ酸との混合液、ヒドラジン溶液、水酸化カリウム溶液あるいはフッ素又は塩素を有するプラズマ等により所望の膜さまでエッチングして第6を形成する(第1図(b))。その後酸化処理して、シリコン基板1表面にアインレーション用酸化膜7を形成する。一方シリコン酸化膜で覆われた領域には、酸化膜は形成されない(第1図(c))。

ところで、上記従来法においてアインレーション用酸化膜7の厚さを大きくするためには第2図(a)に示すように第8形成のためのシリコン基板1のエッチング深さ a を大きくしなければならぬ。その場合、第2図(b)に示すように酸化膜、パターン寸法のシフト量 c (上記第8の幅に対する酸化膜7の幅)及び酸化膜端部の突起の高さ d が大き

(3)

さらに本発明の他の目的は、その上に形成される金属配線の寄生容量を小さくでき表面の平坦度が優れ、かつパターン寸法精度の高い厚いアインレーション用酸化膜の形成法を提供することにある。

さらに、本発明の他の目的は、従来よりも短い時間で厚い酸化膜を得ることである。

上記の目的を達成するために本発明は、半導体基板の一表面の所定箇所を複数の網線を互いに隣接して形成し、該基板を酸化することによって上記網線に位置する上記基板を少なくとも上記網線の深さまで酸化膜に変換するとともに、上記網線内部を酸化膜で埋めることを特徴とするものである。

第3図(a)~(d)は、本発明を用いて酸化膜アインレーション構造を形成する工程の一実施例を示したものである。まず図(a)に示すように、従来のホトリソグラフィ技術を用いて、シリコン基板15上にシリコン基板エッチングのためのマスク材10のパターンを形成する。上記マスク材10は、シリコン基板15の微細な網のアイソレー

(5)

特開昭55-78540D

になる。例えば第2図(b)に示すようにシリコンエッチング深さ $a=0.8\mu m$ で酸化膜4 $=1.5\mu m$ としたとき、 $b\approx 2\mu m$ 、 $c\approx 1\mu m$ とされ、微細なアインレーション構造の形成及び平坦な基板構造は得難い。

又、より高速度な素子を得ようとする場合アインレーション用酸化膜上に形成する金属配線の容量を小さくするために上記酸化膜よりもっと厚い酸化膜を形成しなければならない。しかし上記従来技術ではせいぜい2~3 μm 程度の厚さの酸化膜しか形成できず、かつ上記したように網の幅のシフト量及び酸化膜端部の突起の高さが大きくなつてしまい素子形成上大きなデメリットとなつてゐる。

さらに、従来技術では、酸化膜形成時の酸化時間が非常に長いという欠点もある。

本発明の目的は、アインレーション用酸化膜表面の平坦度が優れかつ上記酸化膜形成時のパターン寸法精度の高いアインレーション用酸化膜の形成法を提供することにある。

(6)

(4)

コン領域12、中程度の幅のアイソレーション領域13及び大きな幅のアイソレーション領域14が形成される部分上にすべて1個又は互いに隣接した複数の窓部11を有して形成される。次に第3図(b)に示すように上記マスク材10を用いて所望の膜さまでシリコン基板15をエッチングして複数の網16及び網16間に位置するシリコン基板(シリコン残膜20)を形成する。

シリコン基板のエッチングには、フッ素又は塩素を含むプラズマを用いてサイドエッチングの少ない高精度のエッチングが可能である。エッチングのためのマスク材10としては、感光性樹脂、シリコン酸化膜、あるいはシリコン窒化膜を用いることができる。そして第3図(c)に示すように上記マスク材10を除去する。そして、第3図(d)に示すように、基板15を熱酸化し、シリコンエッチング後の網16及びこの網16間に位置するシリコン基板(シリコン残膜20)をシリコン酸化膜17で埋めつくす。第3図(d)において、微細な網のアイソレーション領域13は、それぞれ1つの

(7)

(4)

席により1つのアイソレーション領域を形成し、中程度の島のアイソレーション領域13は2つの席で1つのアイソレーション用酸化膜領域を形成し、大きな島のアイソレーション領域14は複数の席で1つのアイソレーション領域を形成する。第3図(d)で示した酸化膜17はシリコン基板15表面から均一に除去し、領域18のシリコン表面を露出して用いることも可能である。

更に、上記第3図の13の部分について、この部分の拡大断面図第4図を基に詳細に説明する。同図において、アイソレーション領域13の幅が $8.2\mu\text{m}$ の場合、シリコン基板エッチング後の席16の幅4とシリコン残部20の幅 ϕ の寸法を各々 $2.2\mu\text{m}$ と $1.8\mu\text{m}$ とすることにより酸化膜厚17'の厚さが約 $2.0\mu\text{m}$ 、アイソレーション領域の酸化膜17の厚さが約 $7\mu\text{m}$ の厚い酸化膜で埋め込まれたアイソレーション構造を形成することができる。このときの酸化膜領域の幅寸法は $8\mu\text{m}$ である。従つて酸化後(加工後)のアイソレーション領域のパターン寸法シフト量

$$(7) \quad \frac{\lambda - \phi}{2}$$

それゆゑ、第4図に示すように、エッチング後の席16を完全に酸化膜17で埋め、かつ上記席16間に位置するシリコン基板であるシリコン残部20も完全に酸化膜に変換するためには、席16の幅寸法4及びシリコン残部の幅寸法 ϕ は、各々所望酸化膜17'の膜厚 λ の約1.1倍以下及び0.9倍以下でなければならない。また本発明によれば、高密度にエッチングされたシリコン基板15の微細部16が、同じくエッチングにより形成されたシリコン残部20の酸化時の主として傾方向への体積膨張により完全に埋められるので、深いエッチング処理を施せば短時間で容易に厚い酸化膜アイソレーションを形成することができる。

上記本発明の実施例においては、酸化膜厚 7μ 、パターン寸法シフト量は 0.9μ 、酸化膜表面の突起の高さ 1μ 以下であり、従来よりも非常に厚い酸化膜と成り、かつ上記従来技術の場合(酸化膜厚 1.5μ)よりもパターン寸法シフト量及び酸化膜表面の突起の高さとも小さな値となる。

$$(8) \quad \frac{\lambda - \phi}{2}$$

$$\frac{\lambda - \phi}{2} \quad \text{図55-78540(3)} \\ \left(\frac{\lambda - \phi}{2} \right) \text{は } 0.9\mu\text{m} \text{である。また酸化膜厚}$$

図の四角の寸法 λ は $1\mu\text{m}$ 以下である。

上記第3図(e)~(f)に示した本発明の一実施例において、第5図(h)~(i)に示すようにマスク材10をマスクとしてシリコン基板15をエッチングしたと、上記マスク材10を除去せず第5図(f)のようにシリコン基板15上に覆したままシリコン基板15を酸化して、第5図(i)に示すように酸化膜17を形成しても良い。この場合上記マスク材10は第3図の説明で述べたように、感光性樹脂、シリコン酸化膜、シリコン窒化膜等を用いることができる。

次に第7図に本発明の方法によりバイポーラ10を製造した場合を示す。同図中17が厚い酸化膜である。

本発明においては、島生成酸化膜形成時の体積膨張現象を基本としている。すなわち、酸化膜は、その膜厚の約45%のシリコンから形成される。

$$(9) \quad \frac{\lambda - \phi}{2}$$

又、酸化膜上に形成する金属配線の容量は、金属配線自体の容量と上記酸化膜自体の容量とが直列に接続されたものとなるため本発明の実施例のように 7μ と非常に厚い酸化膜を形成すれば、金属配線の容量が非常に小さくなる。これに関し第6図に従来技術と本発明の場合との概略図を示す。同図において(a)は従来技術、(b)は本発明を示す。

$$(b) \text{にける配線容量 } C_2 \text{ は、 } C_2 = \frac{0.1 \times 0.2}{0.1 + 0.2}$$

$$\text{であり(a)にける配線容量 } C_1 \text{ は、 } C_1 =$$

$$\frac{0.1 \times 0.2}{0.1 + 0.2} \text{である。 (c)の酸化膜が(a)の酸化膜より}$$

$$\text{も厚いため、上記式より } C_2 > C_1 \text{ とする。}$$

さらに、上記本発明の実施例(酸化膜厚 7μ)では約16~17時間の酸化時間を要するが、本発明と同じ時間で従来技術により酸化膜を形成した場合はせいぜい2~3 μ 程度の膜厚しか形成できず、本発明の実施例と同じ厚さの酸化膜を従来技術により形成しようとすれば非常に長い時間を

$$(10) \quad \frac{\lambda - \phi}{2}$$

要してしまう。

次に本発明による効果を以下に列挙する。

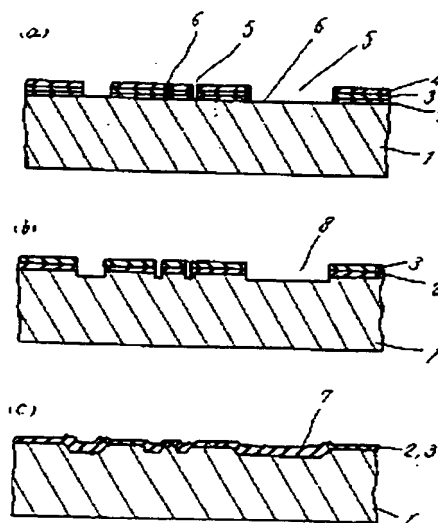
- (1) 厚い酸化膜を形成することができるので、素子特性の許容度が大きくなり特に高電圧を必要とする素子に有効である。具体的には、高いバイアス電源を用いてもチャネリング（寄生チャネル）が発生し難い。また配線ラインの寄生容量が小さくなる。
- (2) 横方向の寸法加工精度が高いため、微細化・高集積化が可能である。
- (3) 酸化膜形成後の表面の平坦度がよく、電極配線の断線が発生し難いのみならず、酸化膜形成後のマスクパターン転写時の寸法精度が向上する。

図面の簡単な説明

第1図(a)～(c)は従来のアイソプレーナ法によるアイソレーション構造形成時にかけるウェーハ断面図、第2図(a)、(b)は、従来のアイソプレーナ構造の拡大断面図、第3図(a)～(d)は本発明の一実施例によるアイソレーション構造形成工程のウェーハ

04

第 1 図



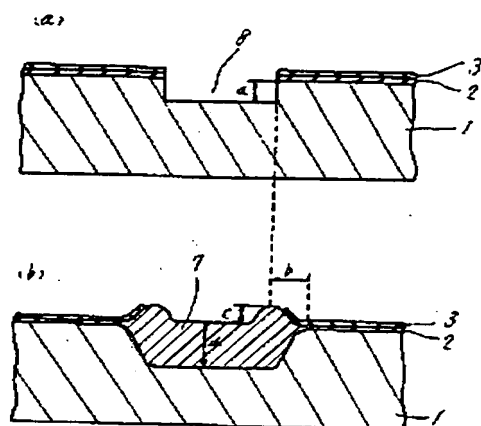
特開第5-78540(4)

一断面図、第4図は本発明の実施例の説明をするための断面図、第5図(a)～(d)は本発明の他の実施例によるアイソレーション構造形成工程のウェーハ断面図、第6図(e)、(f)は従来の技術と本発明とに於ける金属配線の容量を示す断面図、第7図は本発明をバイポーラICに適用した場合の断面図である。

1. 15…シリコン基板、2. 3. 10…マスク材、5. 11…電極、8. 16…溝、20…シリコン酸化物、7. 17. 17'…酸化膜、12. 13. 14…アイソレーション領域、26…金属配線。

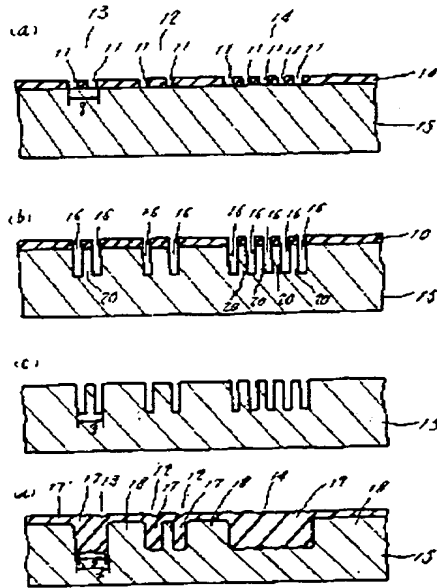
代理人 弁理士 澤田 利 幸

第 2 図

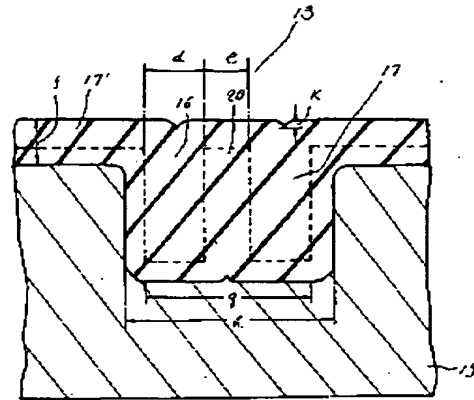


特開55-78540(5)

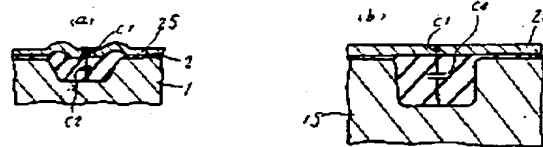
第 3 図



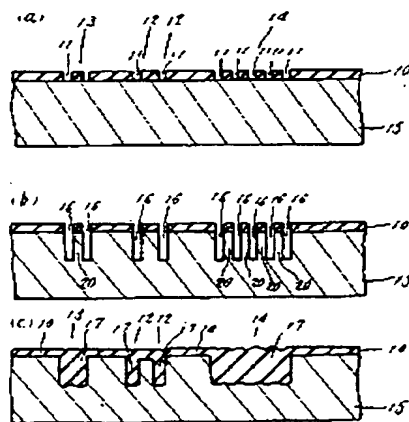
第 4 図



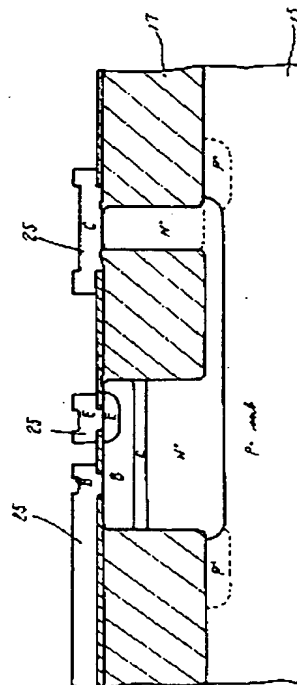
第 6 図



第 5 図



第 7 図



THIS PAGE BLANK (USPTO)